

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/002117

International filing date: 14 February 2005 (14.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-037242
Filing date: 13 February 2004 (13.02.2004)

Date of receipt at the International Bureau: 07 April 2005 (07.04.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日本国特許庁
JAPAN PATENT OFFICE

17.02.2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2004年 2月13日

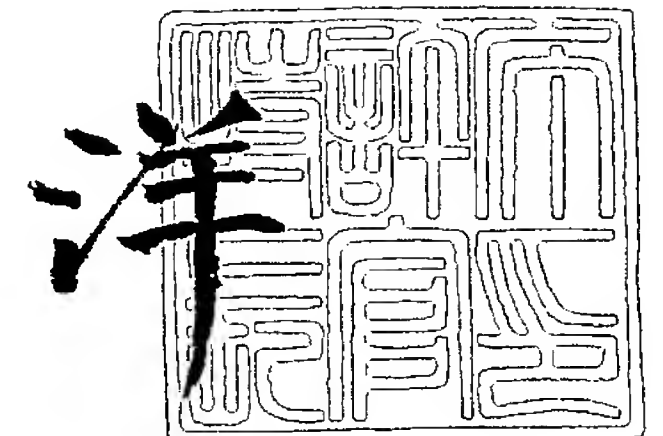
出願番号
Application Number: 特願2004-037242
[ST. 10/C]: [JP 2004-037242]

出願人
Applicant(s): 学校法人慶應義塾

2005年 3月24日

特許庁長官
Commissioner,
Japan Patent Office

小川



【書類名】 特許願
【整理番号】 P04-0003
【提出日】 平成16年 2月13日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 25/065
【発明者】
 【住所又は居所】 神奈川県横浜市港北区日吉 3 - 1 4 - 1 慶應義塾大学 理工学
 部内
 【氏名】 黒田 忠広
【発明者】
 【住所又は居所】 神奈川県横浜市港北区日吉 3 - 1 4 - 1 慶應義塾大学 理工学
 部内
 【氏名】 溝口 大介
【発明者】
 【住所又は居所】 神奈川県横浜市港北区日吉 3 - 1 4 - 1 慶應義塾大学 理工学
 部内
 【氏名】 ユスミラズ ビンティ ユスフ
【発明者】
 【住所又は居所】 神奈川県横浜市港北区日吉 3 - 1 4 - 1 慶應義塾大学 理工学
 部内
 【氏名】 三浦 典之
【発明者】
 【住所又は居所】 東京都世田谷区宮坂 2 - 2 1 - 1 5
 【氏名】 櫻井 貴康
【特許出願人】
 【識別番号】 899000079
 【氏名又は名称】 学校法人 慶應義塾
【代理人】
 【識別番号】 100110191
 【弁理士】
 【氏名又は名称】 中村 和男
【手数料の表示】
 【予納台帳番号】 140410
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

基板上の配線により形成される第 1 コイルを有する第 1 基板と、
基板上の配線により前記第 1 コイルと対応する位置に形成され第 1 コイルと誘導結合する第 2 コイルを有する第 2 基板と
を備えることを特徴とする電子回路。

【請求項 2】

前記第 1 基板は、送信用のデジタルデータが変化した時に前記第 1 コイルに信号を出力する送信回路を更に有することを特徴とする請求項 1 記載の電子回路。

【請求項 3】

前記第 2 基板は、前記第 2 コイルの両端を抵抗を介して所定の電圧源に接続する受信回路を更に有することを特徴とする請求項 1 又は 2 記載の電子回路。

【請求項 4】

前記第 1 コイルは、複数の第 2 基板の第 2 コイルと誘導結合していることを特徴とする請求項 1 記載の電子回路。

【請求項 5】

前記第 2 基板は、周期的な所定の期間だけ信号を受信する受信回路を更に有することを特徴とする請求項 1 又は 2 記載の電子回路。

【書類名】 明細書

【発明の名称】 電子回路

【技術分野】

【0 0 0 1】

本発明は、I C (Integrated Circuit) ベアチップや P C B (プリント基板) などの基板間の通信を好適に行うことができる電子回路に関する。

【背景技術】

【0 0 0 2】

近年における電子機器は、ますます小型化、高機能化されており、これに伴い、内蔵される L S I (Large Scale Integration) も小型化、高速化が進行している。小型化、高速化を実現する手段として、1 パッケージにシステムの全機能を含めることが望まれ、現在、この実現方法として大まかに 2 種類の方法がある。

【0 0 0 3】

第 1 の方法としては、一つのベアチップにシステム全てを搭載するシステムオンチップ (SoC) と呼ばれる方式である。この方式は、異なるプロセス技術を一つのベアチップ上で実現することと、チップ面積の増大による歩留まりの低下により、コストが高くなる。

【0 0 0 4】

第 2 の方法として、1 パッケージに複数のベアチップを封入するシステムインパッケージ (SiP) という方法がある。この手法は、異なるプロセスで製造される機能を別チップで実現するため、ベアチップ当たりの歩留まりが高く、低コスト化が期待できる。ただし、異なるチップ間の相互接続をする必要が生じ、接続手法は 3 種類存在する。

【0 0 0 5】

SiP における相互接続の第 1 の方法は、従来通り、ワイヤボンディングを用いる方法である。この場合、チップ間の接続本数は従来のパッケージと同じか、それ以下となり、通信バンド幅に問題が生じる。また、実装面積を低減させる際には、3 次元実装が不可欠であるが、ワイヤボンディング方式では上に積み上げられるチップを小さくする必要があり、実装面積が制限される上に、1 対 1 の接続が主であるためバスの形成が困難である。

【0 0 0 6】

SiP における相互接続の第 2 の方法は、チップを 3 次元実装し、マイクロバンプで接続する方法である。この方法は、2 チップの対面実装まではコストが低いが、3 チップ以上の実装となると、スルーホールと呼ばれる、チップ自体又はビルドアップ基板を貫通する通信路を物理的に製造する必要があり、専用のプロセス技術と高い加工精度を求められ、コストが高くなる。

【0 0 0 7】

SiP における相互接続の第 3 の方法は、チップを 3 次元実装し、チップ間を容量性結合により電氣的に接続する方法である。この方法は 2 チップまでの対面実装ではコストが低く高速通信が可能であるが、3 チップ以上では信号の伝送効率が急激に悪化し、消費電力が増大する。

【0 0 0 8】

このため、アンテナによってチップ間通信を行うことが提案されている (例えば、特許文献 1 参照)。

【特許文献 1】 特開平 1 1 - 6 8 0 3 3 号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 9】

しかし、このアンテナによる場合でも、3 チップ以上を実装してチップをまたがって信号を伝送しようとする、アンテナによって発生する電界が誘電率の異なる多数の物質 (バイアスされたシリコン基板、ドーパされたシリコン、酸化膜、窒化膜等) を貫通しなければならず、境界面で反射が生じ、伝送効率が悪化してしまう。

【0 0 1 0】

本発明は、上記問題点に鑑み、3以上の基板を3次元実装して基板をまたがって信号を伝送する場合でも効率良く信号を伝送することができる電子回路を提供することを目的とする。この基板にはICベアチップやPCBが含まれる。

【課題を解決するための手段】

【0011】

本発明の電子回路は、基板上の配線により形成される第1コイルを有する第1基板と、基板上の配線により前記第1コイルと対応する位置に形成され第1コイルと誘導結合する第2コイルを有する第2基板とを備える。

【0012】

また、前記第1基板は、送信用のデジタルデータが変化した時に前記第1コイルに信号を出力する送信回路を更に有することで、消費電力を少なくすることができる。

【0013】

また、前記第2基板は、前記第2コイルの両端を抵抗を介して所定の電圧源に接続する受信回路を更に有することで、信号受信時に受信コイル両端に生じる電圧振幅の中心電圧を、信号増幅に最適な電圧値とすることができる。

【0014】

また、前記第1コイルは、複数の第2基板の第2コイルと誘導結合していることで、3以上の基板にまたがるバスを形成することができる。

【0015】

また、前記第2基板は、周期的な所定の期間だけ信号を受信する受信回路を更に有することで、SN比を高くすることができる。

【発明の効果】

【0016】

本発明によれば、3以上の基板を3次元実装して基板をまたがって信号を伝送する場合でも効率良く信号を伝送できる。

【0017】

また、通信が電流駆動によるものであるので、低電圧駆動の需要が大きいLSI等に適用して好適である。

【発明を実施するための最良の形態】

【0018】

以下、添付図面を参照しながら本発明の好適な実施の形態について詳細に説明する。

【0019】

図1は、本発明の一実施の形態による電子回路の構成を示す図である。本実施の形態の電子回路は、第1LSIチップ11a、第2LSIチップ11b、及び第3LSIチップ11cから成る。LSIチップが3層にスタックされ、3チップにまたがるバスを形成する例である。第1～第3LSIチップ11a、11b、11cが縦に積まれ、各チップは接着剤で互いに固定されている。第1～第3LSIチップ11a、11b、11c上には、それぞれ、送信に用いる第1～第3送信コイル13a、13b、13cが配線により形成され、また、それぞれ、受信に用いる第1～第3受信コイル15a、15b、15cが配線により形成される。これら3ペアの送受信コイル13、15の開口の中心が一致するように、第1～第3LSIチップ11a、11b、11c上で配置されている。これにより、3ペアの送受信コイル13、15は誘導性結合を形成し、通信が可能となる。第1～第3送信コイル13a、13b、13cにはそれぞれ第1～第3送信回路12a、12b、12cが接続され、第1～第3受信コイル15a、15b、15cにはそれぞれ第1～第3受信回路14a、14b、14cが接続される。送受信コイル13、15は、プロセス技術の多層配線を利用し、通信に許される面積内で、3次元的に1回巻き以上のコイルとして実装される。送受信コイル13、15には、通信に最適な形状が存在し、最適な巻き数、開口、線幅をとる必要がある。一般的に、送信コイル13が受信コイル15より小さい。

【0020】

図2は、本実施の形態における送信回路及び受信回路の具体的構成を示す図である。本実施の形態の送信回路12は、記憶素子FF、遅延バッファ121、第1送信用バッファINV2、及び第2送信用バッファINV3から成る。L1は送信コイル13である。送信回路12は、入力として送信クロック（同期信号）Txclkと、これに同期した送信データTxdataを取る。入力される送信データTxdataは記憶素子FFに保持され、第1、第2送信用バッファINV2、INV3に入力される。ただし、第1送信用バッファINV2の前には、遅延素子である遅延バッファ121が設けられ、第1送信用バッファINV2と第2送信用バッファINV3への入力時間に差ができるように構成されている。第1送信用バッファINV2と第2送信用バッファINV3の出力は送信コイルL1の両端にそれぞれ接続される。この構成により、送信データに変化が生じた場合のみに、遅延バッファ121の信号伝播遅延時間だけコイルL1へ電流が流れる。受信コイル15の受信電圧が最大となり、かつ、受信タイミングのマージンを大きくするため、送信コイルL1へ流れる電流波形が三角波となるよう、第1、第2送信用バッファINV2、INV3の駆動力を設定する。

【0021】

受信回路14は、トランジスタT1～T10、抵抗R1、R2、ナンド回路NAND1、NAND2、及び受信用バッファINV1から成り、全体としてラッチつき差動アンプを構成している。L2は受信コイル15である。外部から受信クロック（同期信号）Rxclkをとり、受信データRxdataを出力する。トランジスタT2、T3が差動アンプの差動対をなし、受信コイルL2からの信号を受ける。トランジスタT2、T3に接続されている受信コイルL2の両端は抵抗R1、R2を通りバイアス電圧Vbiasに接続されている。これにより、信号受信時に受信コイルL2両端に生じる電圧振幅の中心電圧を、信号増幅に最適な電圧値Vbiasとすることができる。トランジスタT2、T3のソース端子は、テイル電流源発生用トランジスタT1に接続される。トランジスタT1のソース端子は接地され、ゲート端子へは受信クロックRxclkが入力される。トランジスタT2、T3のドレイン側では、トランジスタT5とトランジスタT8、及び、トランジスタT6とトランジスタT9がそれぞれインバータを形成し、この2つのインバータがループ状に接続されている。インバータを繋ぐ配線が、ナンド回路NAND1、NAND2へ入力され、ナンド回路NAND1、NAND2はラッチを形成している。差動アンプで受信したデータはトランジスタT1へ入力される受信クロックRxclkに同期して値が変化し、ナンド回路NAND1、NAND2により、値の変化があったときのみ、受信信号をデジタルデータとして値を取り込み、入力値の変化がない間は値を保持する。差動アンプのプリチャージと、受信クロックRxclkがL（ロー）の期間のラッチの値保持のために、トランジスタT7、T10が接続されている。このトランジスタT7、T10が発生するノイズの影響で、受信コイルL2からの受信信号の変化がないにもかかわらず、受信データRxdataの値が反転するのを防ぐために、トランジスタT4が接続される。

【0022】

図3は、本実施の形態の動作を説明する波形を示す図である。図1に示す第3LSIチップ11c上の第3送信回路12cから、この上に存在する第1、第2LSIチップ11a、11b上の第1、第2受信回路14a、14bへデータの送信をする場合の動作説明を行う。例として、送信データTxdataとして「…LLHHL…」というデータ送信を行った際の動作について説明する。第3LSIチップ11c上の第3送信回路12cは、値の送信時に送信クロックTxclkと、これに同期した送信データTxdataを入力する。まず、送信データTxdataとしてL（ロー）が入力されている状態では、第1、第2送信用バッファINV2、INV3の出力は共にH（ハイ）を保持した定常状態となっている。第1、第2LSIチップ11b、11c上の第1、第2受信回路14a、14bは、Lが連続されて入力された状態では、受信データRxdataにLが出力されている状態で定常状態となっている。

【0023】

この状態から、送信データTxdataがA点の時間にLからHに変化する。この信号がB

点で記憶素子FFに取り込まれ、すぐに第2送信用バッファINV3に入力される。ここで第2送信用バッファINV3の出力はLとなるが、第1送信用バッファINV2の出力はHのままであり、電流が第1送信用バッファINV2から第2送信用バッファINV3に向かい流れる。この後、遅延バッファ121の遅延時間の後、第2送信用バッファINV3の出力がHとなり、第1送信用バッファINV2と第2送信用バッファINV3の出力が等電位となり電流の流れが止まる。この際に、電流波形が「送信コイル電流」B点に示すような三角波となるよう第1、第2送信用バッファINV2、INV3の駆動力を設定しておく。

【0024】

「送信コイル電流」のB点～C点における電流変化により、第1、第2LSIチップ11a、11b上に配置されている受信コイルL2には「第1LSIチップ受信コイル電圧」、「第2LSIチップ受信コイル電圧」に示される電圧が生じる。この電圧の振れの中心電圧はVbiasである。第1LSIチップ11aは第2LSIチップ11bより第3LSIチップ11cから遠いため、生じる電圧が低くなる。これらの電圧変化をラッチ付き差動アンプにより増幅し、ラッチで値を保持することにより、「第1、第2LSIチップRxdata」B点に示すデジタルデータとする。

【0025】

第3LSIチップ11c上の送信データTxdataはB点ではHを保持し、変化していない。この場合、C点における送信コイルL1への入力に変化せず、第1、2LSIチップ11a、11b上の受信コイルL2の電圧も変化を起こさず、出力データRxdataは保持される。

【0026】

第3LSIチップ11c上の送信データTxdataがC点のようにHからLに遷移した場合、D点で記憶素子FFに取り込まれ、直ちに第2送信用バッファINV3への入力がHからLに変化し、その出力はLからHへと遷移する。このとき、第1送信用バッファINV2の出力は、遅延バッファ121によりLからHへの変化が遅れ、第2送信用バッファINV3から第1送信用バッファINV2へ電流が流れる。この後、遅延バッファ121の遅延時間の後、第1送信用バッファINV2の出力がHとなり第1送信用バッファINV2と第2送信用バッファINV3の出力電圧が等しくなり、電流がとまる。この一連の送信電流の変化が「送信コイル電流」D点のように、B点における三角波形の逆の極性をとる三角波となるよう第1、第2送信用バッファINV2、INV3の駆動力を設定しておく。

【0027】

第3LSIチップ11c上の送信コイルL1の電流変化により、「第1LSIチップ受信コイル電圧」、「第2LSIチップ受信コイル電圧」のD点の波形が第1、2LSIチップ11a、11b上の受信コイルL2に発生する。この電圧変化を差動アンプで増幅し、ラッチでデジタルデータに変換することにより、「第1、第2LSIチップRxdata」D点のデジタル受信信号を得る。

【0028】

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

【0029】

例えば、バス接続ではなく1対1接続も可能であり、この場合の接続例を図4(a)に示す。図4(a)は、第1～第3LSIチップ410～412から成るスタックLSIを横から見た図である。送受信回路401の内容を送受信回路400として示している。矢印403は誘導性結合を表す。

【0030】

また、多対多の接続も可能であり、この場合の接続例を図4(b)に示す。図4(b)は、第1～第4LSIチップ420～423から成るスタックLSIを横から見た図で

ある。この場合には、第1 L S I チップ 4 2 0 と第3 L S I チップ 4 2 2 との通信、及び、第2 L S I チップ 4 2 1 と第4 L S I チップ 4 2 3 との通信を同じ水平位置において行うものである。すなわち、送信回路と受信回路の複数の組合せが同じ空間を使って独立に誘導性結合しているものである。同じ水平位置で誘導性結合させるものであるので、例えば時分割するなどしてそれぞれの通信を漏話なく行う。

【0031】

これらのように縦方向の接続の拡張だけでなく、横方向も接続を拡張可能であり、並列に通信をしてバンド幅を増やした例を図5に示す。図5は、第1～第3 L S I チップ 5 1 0～5 1 2 から成るスタック L S I を横から見た図である。送受信回路 5 0 1 は図4に示す送受信回路 4 0 0 と同じものである。矢印 5 0 3 は誘導性結合を表し、並列に複数の結合を確立している様子を表している。

【0032】

また、接続方式だけではなく、送受信回路も変更可能である。送信回路は、消費電力は増加してしまうが、回路規模を小さくすることを主眼とすると、図6の構成をとることができる。図6に示す送信回路は、記憶素子 F F、送信用バッファ I N V 4、及びバイアス電圧 Vbias の電圧源から成る。送信データ Txdata は、記憶素子 F F に保持され、送信用バッファ I N V 4 を介して送信コイル L1 に入力される。送信コイル L1 の他端はバイアス電圧 Vbias に接続される。バイアス電圧 Vbias を送信データの L、H の中間の電圧にしておく、と、送信コイル L1 には絶えず正負いずれかの電流が流れているが、送信データ Txdata が変化する時に送信コイル L1 に流れる電流が反転して、信号が伝送される。

【0033】

また、受信回路は、受信クロックに同期して受信信号を受けるはずである周期的な所定の期間の信号だけを受信するようにすることで、クロックによる雑音等を除去して S N 比を高くすることができる。

【図面の簡単な説明】

【0034】

【図1】 本発明の一実施の形態による電子回路の構成を示す図である。

【図2】 本実施の形態における送信回路及び受信回路の具体的構成を示す図である。

【図3】 本実施の形態の動作を説明する波形を示す図である。

【図4】 本発明の他の実施の形態による電子回路の構成を示す図である。

【図5】 本発明の更に他の実施の形態による電子回路の構成を示す図である。

【図6】 本発明の他の実施の形態における送信回路の具体的構成を示す図である。

【符号の説明】

【0035】

1 1 L S I チップ

1 2 送信回路

1 3 送信コイル

1 4 受信回路

1 5 受信コイル

4 0 0、4 0 1 送受信回路

4 0 3 誘導性結合

4 1 0、4 1 1、4 1 2、4 2 0、4 2 1、4 2 2、4 2 3 L S I チップ

5 0 1 送受信回路

5 0 3 誘導性結合

5 1 0、5 1 1、5 1 2 L S I チップ

F F 記憶素子

I N V バッファ

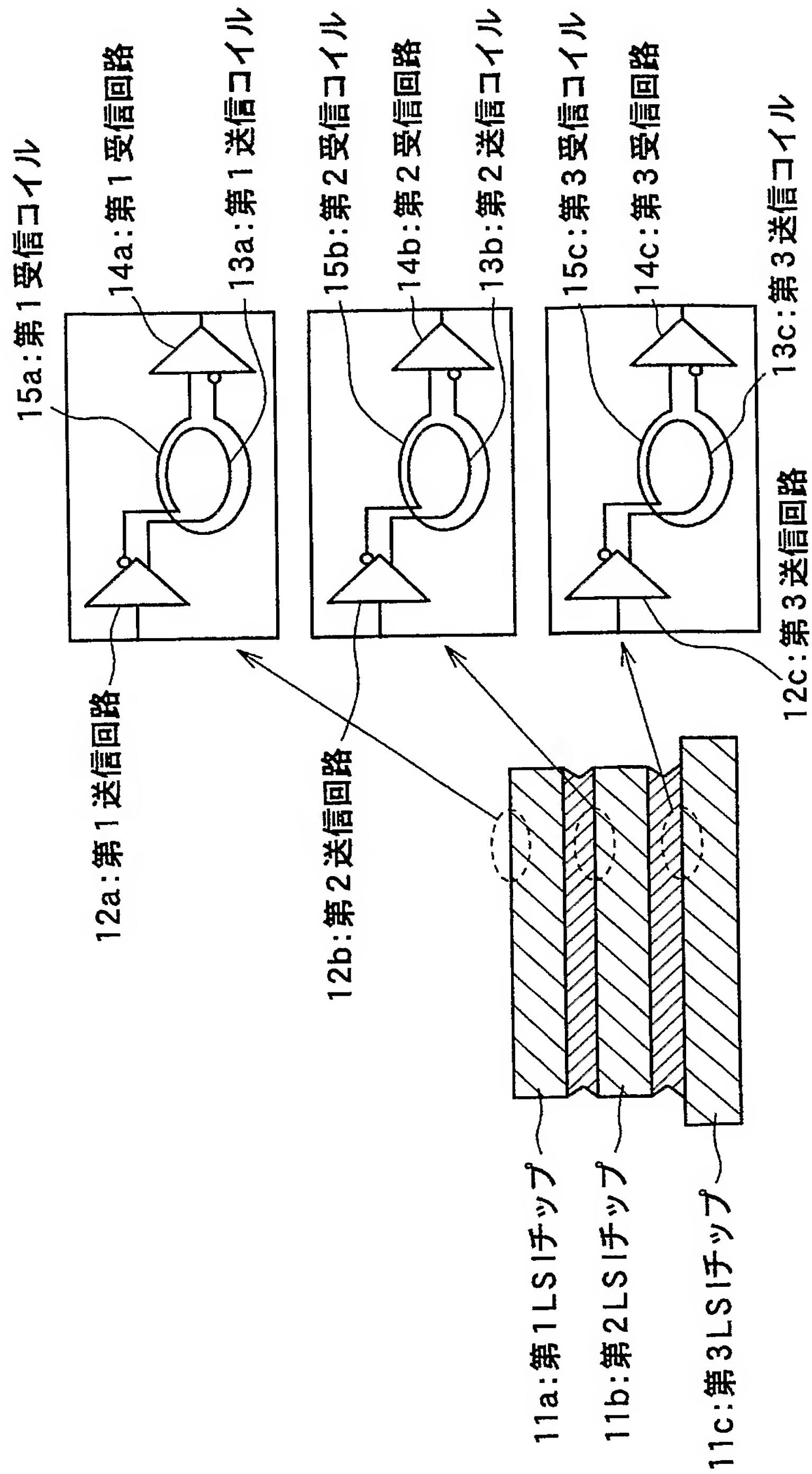
N A N D ナンド回路

L コイル

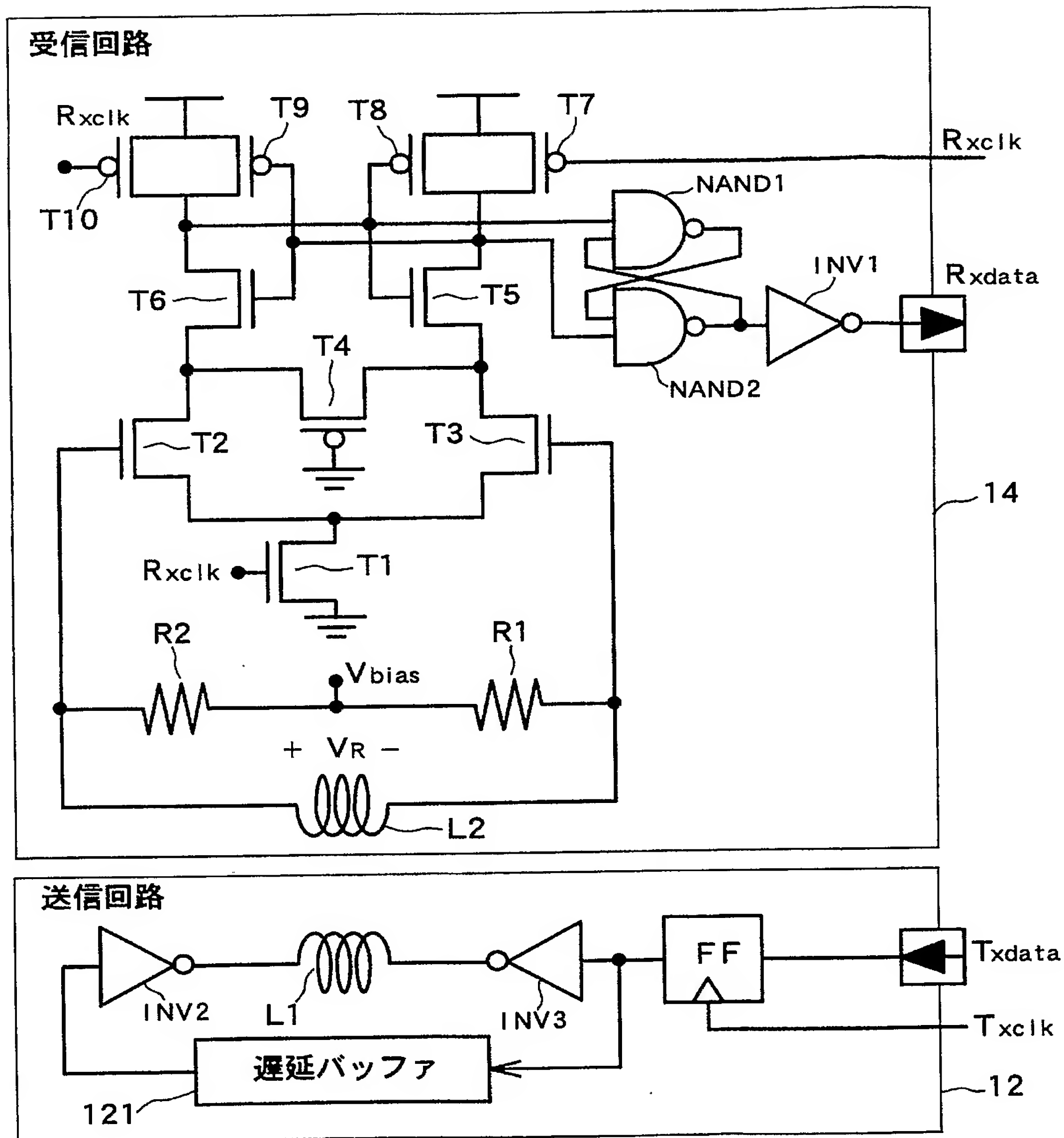
T トランジスタ

Rxclk 受信クロック
Rxdata 受信データ
Txclk 送信クロック
Txdata 送信データ
Vbias バイアス電圧

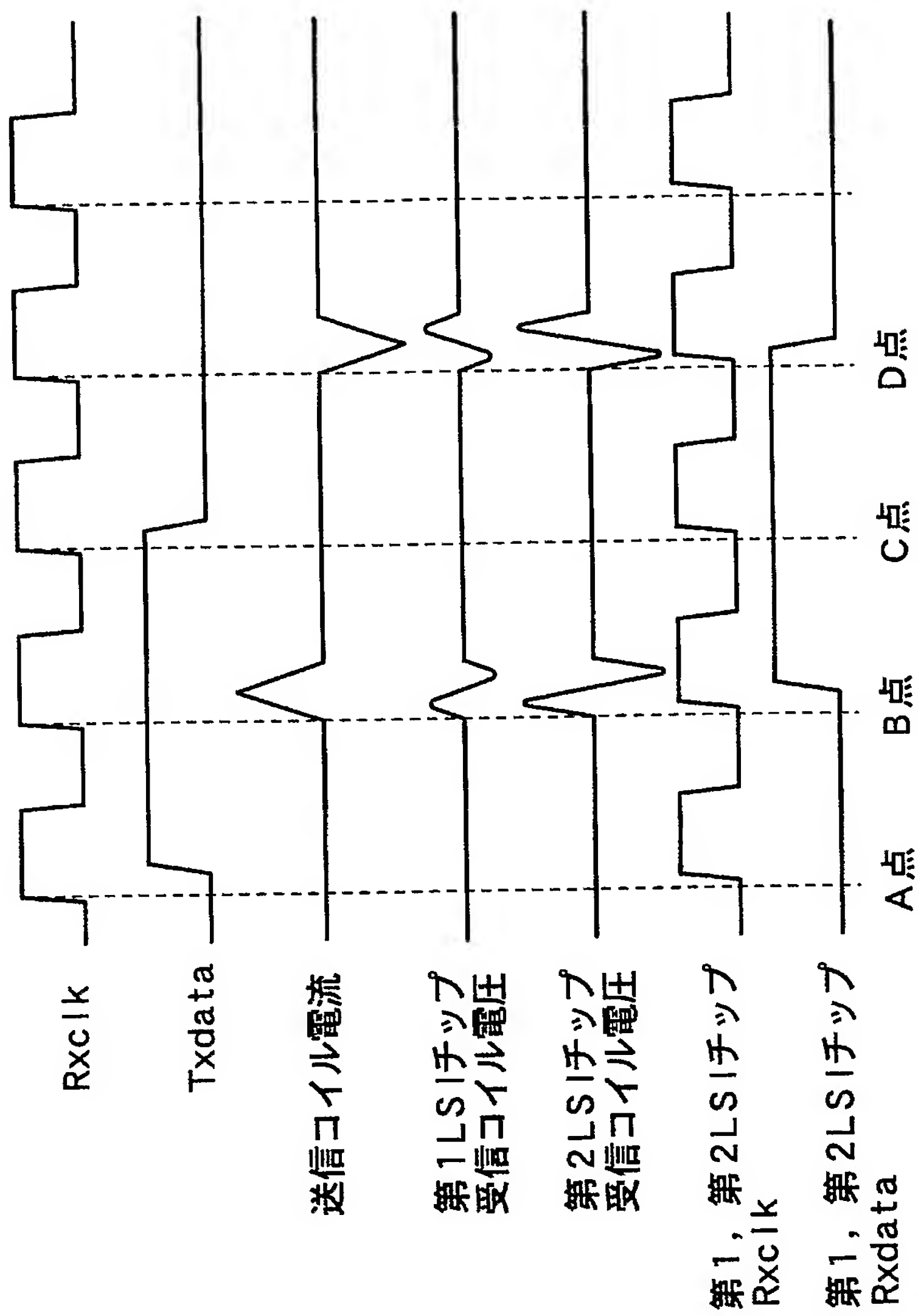
【書類名】 図面
【図 1】



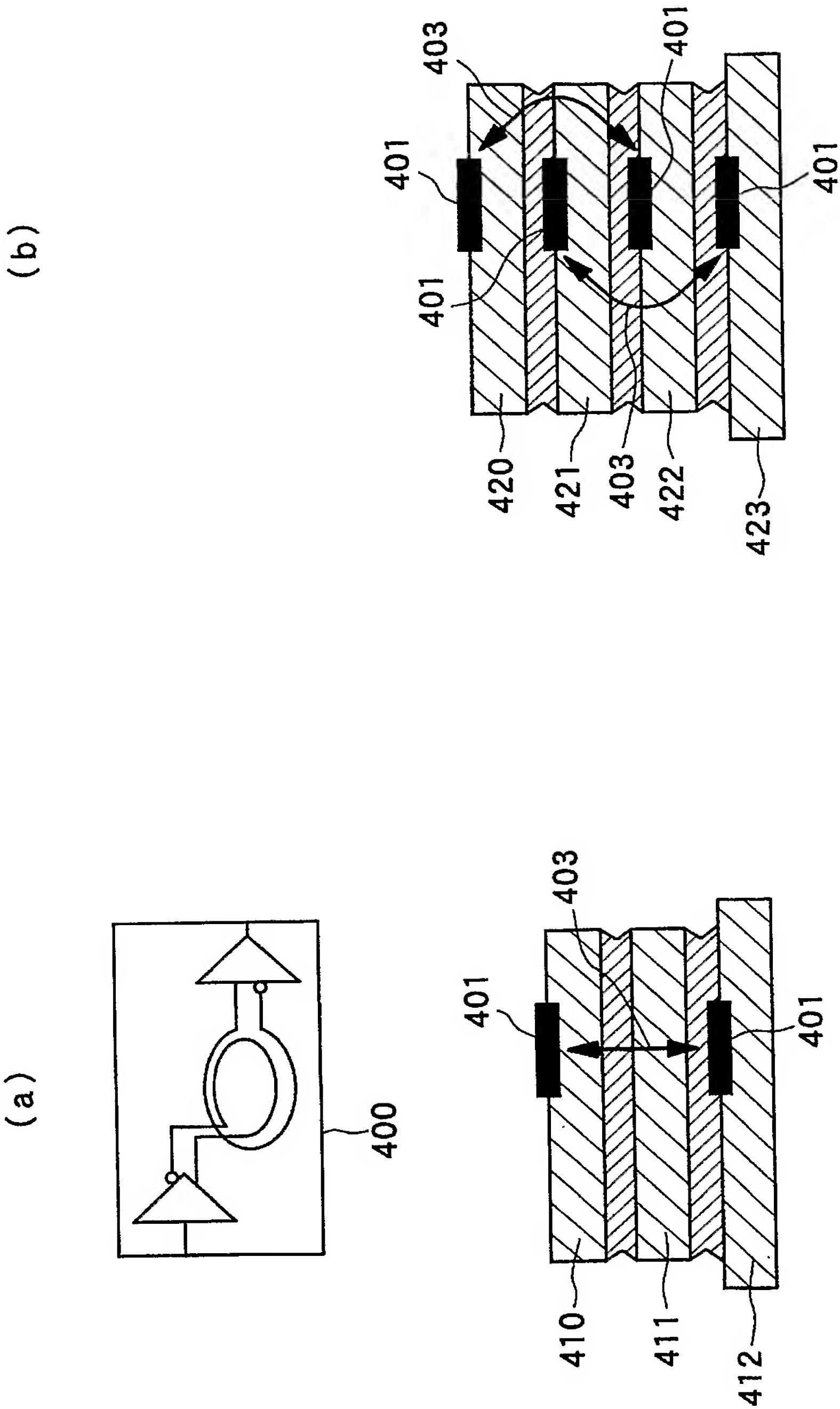
【図 2】



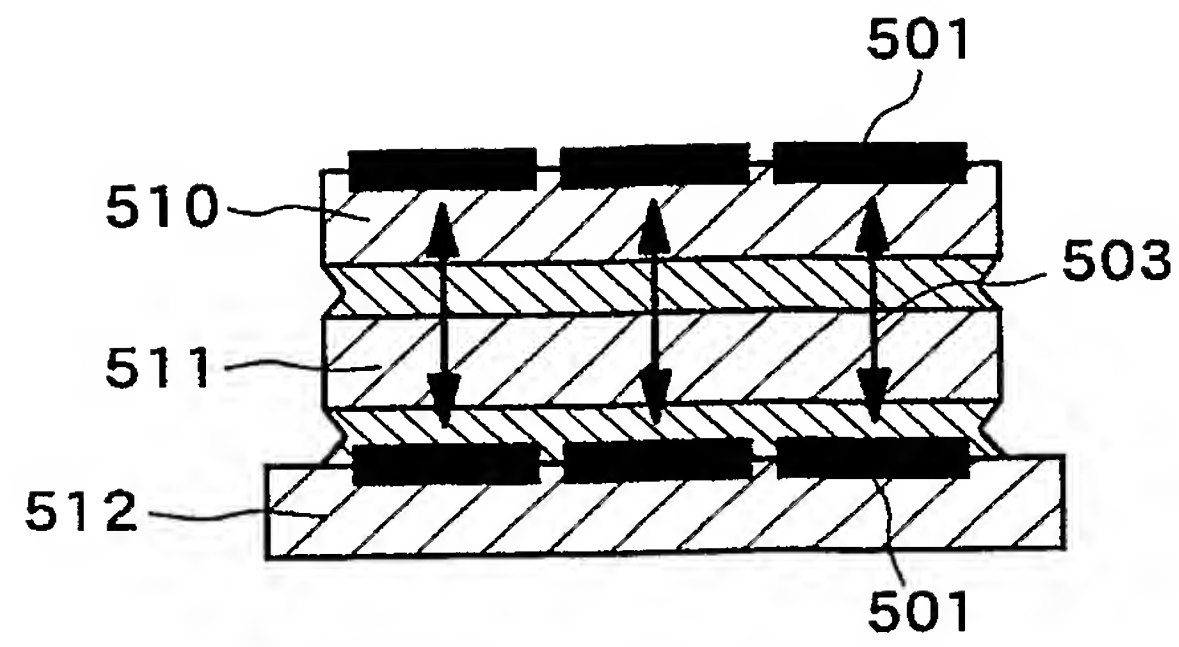
【図 3】



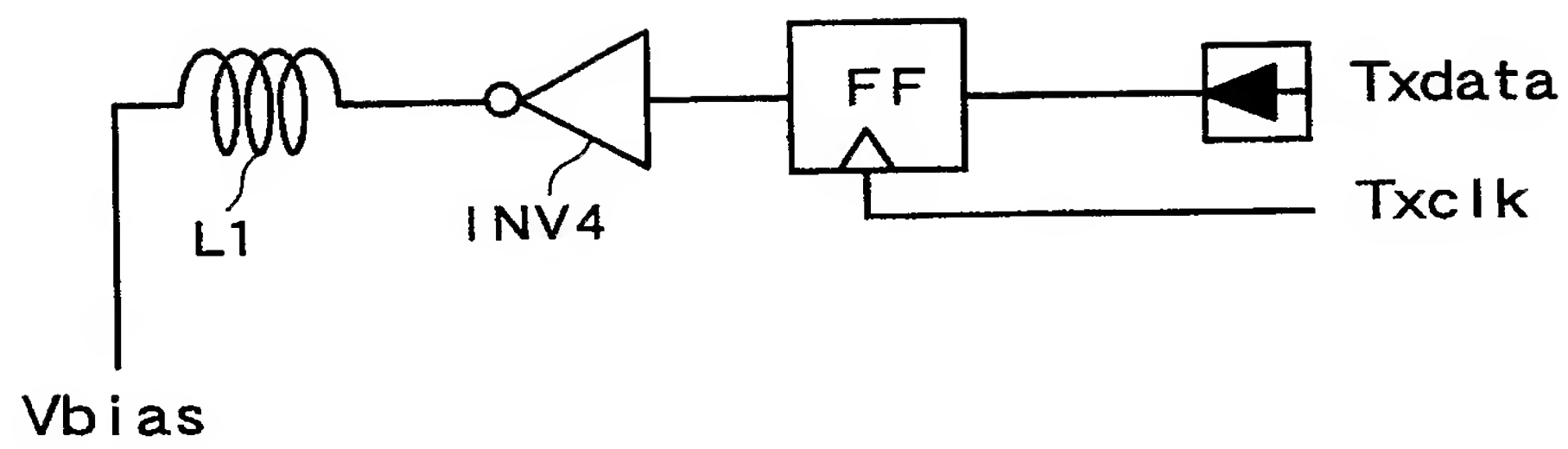
【図 4】



【図 5】



【図 6】



【書類名】 要約書**【要約】**

【課題】 3 以上の基板を 3 次元実装して基板をまたがって信号を伝送する場合でも効率良く信号を伝送できる電子回路を提供すること。

【解決手段】 L S I チップが 3 層にスタックされ、3 チップにまたがるバスを形成する。第 1 ～第 3 L S I チップ 1 1 a、1 1 b、1 1 c 上には、第 1 ～第 3 送信コイル 1 3 a、1 3 b、1 3 c、及び、第 1 ～第 3 受信コイル 1 5 a、1 5 b、1 5 c が配線により形成される。これら 3 ペアの送受信コイル 1 3、1 5 の開口の中心が一致するように配置される。これにより、3 ペアの送受信コイル 1 3、1 5 は誘導性結合を形成し、通信が可能となる。第 1 ～第 3 送信コイル 1 3 a、1 3 b、1 3 c にはそれぞれ第 1 ～第 3 送信回路 1 2 a、1 2 b、1 2 c が接続され、第 1 ～第 3 受信コイル 1 5 a、1 5 b、1 5 c にはそれぞれ第 1 ～第 3 受信回路 1 4 a、1 4 b、1 4 c が接続される。

【選択図】 図 1

特願 2 0 0 4 - 0 3 7 2 4 2

出 願 人 履 歴 情 報

識別番号

[8 9 9 0 0 0 0 7 9]

1. 変更年月日

1 9 9 9 年 9 月 1 7 日

[変更理由]

新規登録

住 所

東京都港区三田 2 丁目 1 5 番 4 5 号

氏 名

学校法人慶應義塾